

High-Speed Serial Interface (HSSI; 高速シリアル インターフェイス) の設計仕様

Date:1993 年 4 月 12 日
リビジョン 3.0

以前のリリース :
リビジョン 2.11
1990 年 3 月 16 日

初回リリース : 1989 年 10 月
追補発行 1 : 1991 年 1 月

Copyright© 1989-1993 by Cisco Systems, Inc. and T3plus Networking, Inc.

通告 :

Cisco Systems, Incorporated および T3plus Networking, Incorporated は、仕様において正確な情報を提供するべく努力していますが、情報の正確性に関してはいかなる表明も保証も行いません。上記の一般性を制限することなく、Cisco Systems および T3plus Networking は、特定の目的への適合性、または仕様における情報の使用が第三者の特許、その他の権利を侵害するかどうかの表明または保証を一切行いません。お客様は、この仕様における情報または製品の利用に関して、Cisco Systems または T3plus Networking に対していかなる請求も放棄するものとします。

この仕様は、次の条件下で転載および配布することが許可されています。

1. Cisco Systems, Inc. および T3plus Networking, Inc. の社名が筆者として掲載されている。
2. この注記のコピーがすべての文書に掲載されている。
3. この文書の内容が変更されていない。

この文書の内容は、Cisco Systems および T3plus Networking の書面による明示的な許可がない限り、変更することはできません。この文書の目的は、高速シリアル インターフェイス仕様として機能し、業界標準として採用されることです。したがって、この仕様は、追加の要件を反映し、発展する国内外の標準に準拠するように改訂されることが予想されます。Cisco Systems および T3plus Networking は、この仕様またはこの仕様に関連する機器をいつでも予告なしに変更する権利を留保します。

この仕様の更新されたコピーを受け取るためには、Cisco Systems または T3plus Networking のいずれかの HSSI 仕様メーリング リストへの登録を要求することをお勧めします。

共著者

John T. Chapman
シニア ハードウェア設計エンジニア
Cisco Systems, Inc.
375 East Tasman Drive

San Jose, CA 95134

jchapman@cisco.com

TEL: (408) 526-7651 FAX : (408) 527-1709

Mitri Halabi

シニア ハードウェア設計エンジニア

T3plus Networking, Inc.

2840 San Tomas Expressway

Santa Clara, CA 95051

mitri@t3plus.com

TEL: (408) 727-4545 FAX : (408) 727-5151

概要

概要

この文書では、DTE (高速ルータまたは類似データ デバイスなど) と DCE (DS3 (44.736 Mbps) または SONET STS-1 (51.84 Mbps) DSU など) の間に存在する物理層インターフェイスを指定します。この仕様の将来の拡張には、SONET STS-3 (155.52 Mbps) までのレートのサポートが含まれる場合があります。

この文書は、John T. Chapman と Mitri Halabi による HSSI 設計仕様の第 2.11 版 (1990 年 3 月 16 日付) と追補発行 1 (1991 年 1 月 23 日付) と互換性のある仕様です。

HSSI は、現在、米国規格協会よって審査されています。物理層仕様は EIA/TIA-613 で、電気層仕様は EIA/TIA-612 です。これらの仕様は 1993 年半ばに利用可能になる予定です。この文書では、この 2 つの仕様間の違いがわかっている箇所に注記が挿入されています。

ドキュメントの構成

- この項「[はじめに](#)」では、HSSI の概要を説明し、他の仕様との関連を示します。
- 次の項「[用語と定義](#)」では、文書内で使用されている定義を示します。
- 第 3 項「[電気仕様](#)」では、信号名、定義、特性、動作、およびタイミングを含む電気仕様を定義します。
- 第 4 項「[物理仕様](#)」では、コネクタ タイプ、ケーブル タイプ、およびピン配置を含む物理的特性について説明します。
- 付録 A「[タイミング図](#)」では、タイミング関係を図で示します。
- 付録 B「[差動回路規則](#)」では、極性規則を図で定義します。
- 付録 C「[ノイズ耐性](#)」では、ECL ノイズ耐性の詳細な分析を示します。

既存の標準との比較

ANSI/EIA シリーズの規格である EIA-232-D、EIA-422-A、EIA-423-A、EIA-449、および EIA-530 に関しては、次の仕様が明確です。

- 52 Mbps までのシリアル ビット レートをサポートする
- Emitter Coupled Logic (ECL) 伝送レベルを使用する
- タイミング信号のギャップ (不連続) を許可する
- 簡素化された制御信号プロトコルを使用する

- より詳細なループバック信号プロトコルを使用する
- 異なるコネクタを使用する

用語および定義

この仕様は、次の定義に従います。

アナログ ループバック

機器の DCE 部分の回線側に関連付けられた双方向のループバック。

アサーション

ある信号の (+side) は潜在的な Voh となり、同じ信号の (-side) は潜在的な Vol となります。
(参考資料「[電気仕様](#)」の項と「[付録 B: 差動回路規則](#)」の項)。

デアサーション

ある信号の (+side) は潜在的な Vol となり、同じ信号の (-side) は潜在的な Voh となります。

データ通信チャネル

DCE 間の情報の転送に参与する伝送メディアおよび介入機器。この仕様では、データ通信チャネルが全二重であると仮定します。

DCEデータ通信機器

データ通信チャネルをエンド デバイス (DTE) に接続する通信ネットワークのデバイスおよび接続。CSU/DSU を説明するために使用されます。

デジタル ループバック

機器の DCE 部分の DTE ポートに関連付けられた双方向のループバック。

DS3 : デジタル信号レベル 3

T3とも呼ばれます。帯域幅は28 T1sと同等です。ビット レートは 44.736 Mbps です。

DSU : データ サービス ユニット。DTE にデジタル テレコミュニケーション ファシリティへのアクセスを提供します。

DTE : データ端末機器

データ ソース、宛先、またはその両方として機能し、プロトコルに従ってデータ通信制御機能を提供するデータ ステーションの一部。ルータまたは類似デバイスを説明するために使用されます。

ギャップクロック

任意の時間の任意の間隔でクロック パルスが失われる可能性がある公称ビット レートでのクロック ストリーム。

OC-N

STS-N 信号の光変換から発生する光信号。

SONET : 同期光ネットワーク

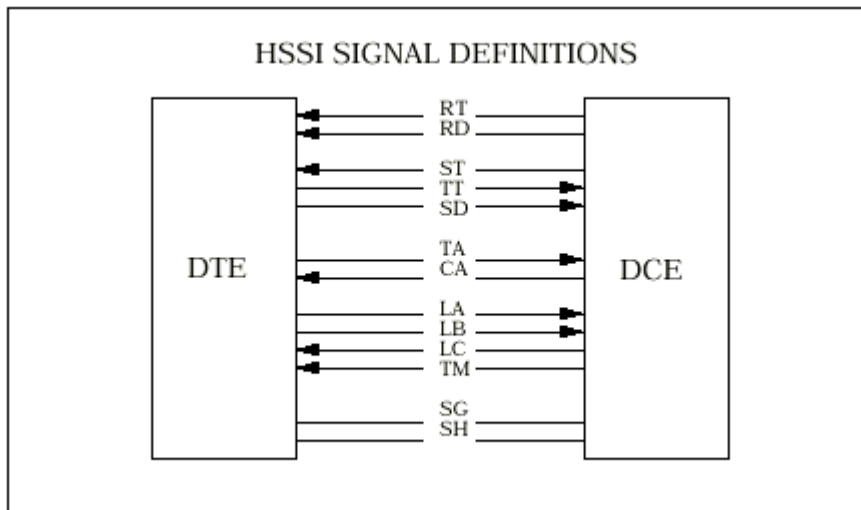
光通信システムの使用を標準化するための ANSI/CCITT 標準。

STS-N : 同期転送信号レベル n (n = 1、3、9、12、18、24、36、48)

STS-1 は、SONET の基本論理ビルディング ブロック信号で、レートは 51.84 Mbps です。

STS-N は、バイト インターリーブ N STS-1 信号および $N \times 51.84$ Mbps のレートで取得されます。

電気仕様



信号の定義

RT : 受信タイミング *DCE から*

RT は、最大ビット レートが 52 Mbps のギャップ クロックで、RD の受信信号要素タイミング情報を提供します。

RD : データ受信 *DCE から*

リモート データ ステーションから受信されたデータ チャネル回線信号への応答として、DCE によって生成されたデータ信号は、この回路上で DTE に転送されます。RD は RT と同期します。

ST : 送信タイミング *DCE から*

ST は、最大ビット レートが 52 Mbps のギャップ クロックで、DTE への送信信号要素タイミング情報を提供します。

TT : 終端タイミング *DCE へ*

TT は、DCE への送信信号要素タイミング情報を提供します。TT は、DTE によって DCE にエコーバックされる ST 信号です。TT は DTE だけでバッファし、他の信号とはゲートしません。

SD : 送信データ *DCE へ*

DTE によって発信され、データ チャネル経由で遠端データ ステーションに送信するデータ信号。SD は TT と同期します。

TA: データ端末機器使用可能 *DCE へ*

DTE が DCE とのデータの送信と受信の両方を行う準備ができると、TA が CA とは別個に、DTE によってアサートされます。DCE によって CA もアサートされるまで、有効なデータ転送が開始されません。DTE が接続解除されたときにデータ通信チャネルからキープアライブ データ パターンが要求された場合は、DCE がそのパターンを供給し、TA はデアサートされます。

CA : データ通信機器使用可能 *DCE から*

DCE が DTE とのデータの送信と受信の両方を行う準備ができると、CA が TA とは別個に、DCE によってアサートされます。これは、DCE が有効なデータ通信チャネルを取得したことを示しています。DTE によって TA も アサートされるまで、データ伝送が開始されません。

TA と CA の両方がアサートされていなければデータ通信チャネルが有効にならない場合は、DTE

と DCE の両方で TA と CA の両方を使用して着信データ ストリームをゲート制御する実装をお勧めします。

DCE によって CA がデアサートされると、DCE が未知の状態になり、ST クロックと RT クロックが消失して DTE から有効と見なされなくなることも認識しておく必要があります。

LA : ループバック回線 A DCE へ

LB : ループバック回線 B DCE へ

LA と LB が DTE によってアサートされ、DCE とその関連データ通信チャネルから 3 つの診断ループバックモードのいずれかが提供されます。具体的には、LB = 0、LA = 0 : ループバックなし
LB = 1、LA = 1 : ローカル DTE ループバック LB = 0、LA = 1 : ローカル回線ループバック LB = 1、LA = 0 : リモート回線ループバックです。

1 はアサーションを意味し、0 はデアサーションを意味します。すべてのループバックがペイロードループバックです。そのため、HSSI データ ストリームがデータ通信チャネルの一部でのみ多重化される場合は、少なくとも、データ通信チャネルのその部分のみをループバックする必要があります。

ローカル DTE(?digital?)ループバックは DCE の DTE ポートで発生し、DTE と DCE 間のリンクをテストするために使用されます。ローカル回線 (?アナログ?)ループバックは、DCE の回線側ポートで発生し、DCE 機能のテストに使用されます。リモート回線(?analog?)ループバックは、リモート DCE の回線ポートで発生し、データ通信チャネルの機能をテストするために使用されます。これら 3 つのループバックは、このシーケンスで開始します。リモート DCE は、そのローカルループバックをリモートでコマンドすることでテストされます。LA と LB は EIA 信号の LL (ローカルループバック) と RL (リモートループバック) のダイレクトスーパーセットであることに注意してください。

ローカル DCE は、3 つのループバックモードすべての間、CA をアサートし続けます。ローカル DCE が特定のループバックモードをサポートできない場合は、CA のデアサートを選択しますが、LA または LB が DTE によってアサートされます。リモートループバックが有効になっている場合は、リモート DCE が CA をデアサートします。リモート DCE がローカル DCE のローカルループバックを検出できる場合は、リモート DCE がその CA をデアサートします。そうでない場合は、ローカル DCE でローカルループバックが発生すると、リモート DCE がその CA をアサートします。

DCE は、コマンドする DTE だけに向けてループバックを実装します。データ通信チャネルからの受信データは無視されます。データ通信チャネルへの送信データは、データ通信チャネル固有の要件に応じて、コマンド DTE の送信データストリームまたはキープアライブデータパターンのいずれかで満たされます。

DCE がループバックモードに入っていることを示す明示的なハードウェアステータス信号は存在しません。DTE は、LA および LB をアサートした後、ループバックが有効であるとみなす前に、特定の時間だけ待機します。適切な待機時間はアプリケーションによって異なり、この仕様には示されていません。

ループバックモードは、タイミング信号とデータ信号の両方に適用されます。したがって、DTE-DCE リンクでは、同じタイミング信号がリンクを 3 回 (最初は ST、次に TT、最後に RT として) 通過できます。

LC : ループバック回線 C DCE から

LC は、DTE から DCE にループバックパスを提供するよう要求するための DCE から DTE へのオプションループバック要求信号です。具体的には、DTE は TT=RT と SD=RD を設定します。ST

は使用されず、このような状況下では有効なクロック ソースとしては信頼されません。

これにより、DCE/DSU ネットワーク管理診断を使用して、DTE とは別に DCE/DTE インターフェイスをテストできるようになります。これは、DCE と DTE の両方がインテリジェントな独立ピアであり、DCE が独自のデータ通信チャンネルを維持する機能および責任を持つという HSSI の原理に従います。

DTE と DCE の両方がループバック要求をアサートした場合は、DTE の方が優先されます。

LC はオプションで、ANSI 標準には含まれていないことに注意してください。

TM : テストモード *DCE から*

テスト モードは、ローカルまたはリモート ループバックが原因でテスト モードに入っている DCE によってアサートされます。この信号はオプションです。TM は ANSI により追加され、元の HSSI 仕様には含まれていません。

SG : シグナル グラウンド

SGは、両端の回路グラウンドに接続されます。SG により、送信信号レベルは、レシーバの共通モード入力範囲内に確実に留まります。

SH : シールド方向

シールドは、EMI 用にケーブルをカプセル化するものであり、信号リターン電流を伝えることを暗黙に意図するものではありません。シールドは、DTE フレーム グラウンドに直接接続され、DCE フレーム グラウンドで 2 つのオプションのいずれかを選択できます。

最初のオプションは、シールドを DCE フレーム グラウンドに直接接続することです。

2 つ目のオプションは、470 ohm、+/- 10 %、1/2 ワットの抵抗、0.1 uF、+/- 10 %、50 volt、モノリシック セラミック コンデンサ、および 0.01 uF、+/- 10 %、50 volt、モノリシック セラミック コンデンサを平行に組み合わせることで、シールドを DCE フレーム グラウンドに接続することです。

R-C-C ネットワークは、シールド/シャーシの接合部分のできる限り近くに配置します。シールドは DTE と DCE のシャーシに直接終端されるため、コネクタ内のピン配列には適用されません。接続ケーブル間のシールド導通は、コネクタハウジングによって維持されます。

実際には、最初のオプションがよく使用されます。

電気特性

すべての信号が、標準の ECL レベルでバランスが取られ、別々に駆動され、受信されます。ECL の負の供給電圧 Vee は、両端で -5.2 Vdc +/- 10 % または -5.0 Vdc +/- 10 % のいずれかです。立ち上がり時間と立ち下がり時間は、20 ~ 80 % のしきい値レベルで測定されます。HSSI トランスミッタとレシーバの電気特性を、次の HSSI レシーバ表と HSSI トランスミッタ表で示します。

HSSI RECEIVER	
Receiver Type	ECL 10KH differential line receiver (MC10H115, MC10H116, MC10H125, or equivalent)
Maximum Signal Level	1.0 volts peak-to-peak differential
Minimum Signal Level	150 mvolts peak-to-peak differential
Common Mode Range	-2.85 volts dc to -0.8 volts dc (-0.5 volts max)
Differential Termination	110 ohms (carbon composition)
Common Mode Termination	750 ohms common-mode (optional)
Values apply over a temperature range of 0 to 75 degrees Celcius, and have been adjusted for the broader Vee range	

HSSI TRANSMITTER				
Driver Type	ECL 10KH with differential outputs (MC10H109, MC10H124, or equivalent)			
Signal Levels	minimum	typical	maximum	units
Voh:	-1.02	-0.90	-0.73	Vdc
Vol:	-1.96	-1.75	-1.59	Vdc
Vdiff:	0.59	0.85	1.21	Vdc
Trise:	0.50	-	2.30	ns
Tfall:	0.50	-	2.30	ns
Transmission Rate	52 Mbps maximum			
Signal Type	electrically balanced with Non Return to Zero encoding			
Termination	330 ohms low inductance resistors from each side to Vee			
Values apply over a temperature range of 0 to 75 degrees Celcius, and have been adjusted for the broader Vee range				

この仕様に記載されている 10KH ECL 電気特性に加えて、100K ECL との相互運用も可能であり、ANSI 仕様で考慮される予定です。

フェールセーフ操作

インターフェイス ケーブルを使用しない場合は、差動 ECL レシーバをデフォルトで既知の状態に設定する必要があります。これを保証するには、10H115 または 10H116 を使用する場合に、1.5 k Ω 、1%、プルアップ抵抗をレシーバの - 側に追加し、1.5 k Ω 、1%、プルダウン抵抗をレシーバの + 側に追加する必要があります。

これにより、110 Ω の抵抗に適した 150 mV (最小) が発生し、750 Ω の長期終端が形成されます。すべてのインターフェイス信号のデフォルト状態はデアサートされます。

10H125 を使用する場合は、入力が浮いたままだと出力がロー状態になる内部バイアス ネットワークが組み込まれているため、外部抵抗を使用する必要がありません。

任意に組み合わされたピン上のオープン サーキットまたは回路短絡の接続によってインターフェイスを破損しないようにしてください。

時期

ソース タイミングは、トランスミッタで生成されるタイミング波形として定義されます。宛先 タイミングは、レシーバでのタイミング波形インシデントとして定義されます。パルス幅は、最終パルス振幅の 50 % ポイント間で測定されます。タイミング パルスの前縁は、デアサーションとアサーションの間の境界として定義されます。タイミング パルスの後縁は、アサーションとデア

サーションの間の境界として定義されます。

仕様と実装の観点から、HSSI リンクは、ECL フリップフロップ間リンクと見なすべきです。データは HSSI ポートから出力されるため、ECL フリップフロップから直接ライン ドライバに再クロックされる必要があります。レシーバでは、データがライン レシーバを通過した直後にもう一度 ECL フリップフロップに再クロックされる必要があります。制御信号はフリップフロップを使用する必要がありません。

RT、TT、および ST の最小の正のソース タイミング パルス幅は 7.7 ns になります。これにより、 $\pm 10\%$ のソース デューティサイクル許容値が適用されるようになります。この値は次の式で求められます。

$$\begin{aligned} & \cdot \\ & \cdot \\ & 10\% = ((9.61\text{ns} - 7.7\text{ns})/19.23\text{ns}) \\ & \quad \times 100\% \end{aligned}$$

定義：

$$\begin{aligned} & \cdot \\ & \cdot \\ & 19.23 \text{ ns} = 1 / (52 \text{ Mbps}) \\ & \\ & 9.61 \text{ ns} = 19.23 \text{ ns} * 1/2 \text{ cycle} \\ & \cdot \end{aligned}$$

データは、ソース タイミング パルスの立ち上がりエッジの ± 3 ns 以内に新しい状態に移ります。

RT、TT、および ST の最小の正の宛先タイミング パルス幅は 6.7 ns になります。データは、宛先タイミング パルスの立ち上がりエッジの ± 5 ns 以内に新しい状態に移ります。これらの数値では、パルス幅歪みの 1.0 ns、データ スキューへのクロックの 2.0 ns の伝送歪み要素が許容されます。これにより、レシーバの設定時間として 1.7 ns が残されます。

データは、後縁で有効であるとみなされます。したがって、トランスミッタはデータを前縁でクロックアウトし、レシーバはデータを後縁でクロックインします。これにより、クロックデータのスキュー エラーの受け入れウィンドウを使用できるようになります。

DTE 内の ST ポートと TT ポート間の遅延は 50 ns 未満です。DCE は、その ST ポートと TT ポート間で少なくとも 200 ns の遅延を許容できる必要があります。これにより、15 m のケーブルに対して 150 ns の遅延 (ラウンド トリップ遅延) が許容されます。

さまざまなビット/バイト/フレーム DCE マルチプレクサ実装を促進するために、RT と ST をギャッピングして、フレーミング パルスの削除と HSSI の帯域幅制限を可能にすることができます。

最大ギャッピング間隔は指定されていません。ただし、クロック ソースの ST と RT は、TA と CA の両方がアサートされていれば、一般的に連続であると期待されます。ギャッピング間隔は、同じ傾きの 2 つの連続クロック エッジ間の時間として測定されます。

瞬間データ転送レートが 52 Mbps を超えないようにする必要があります。

有効なデータの定義はアプリケーションによって異なり、この仕様の対象ではありません。これ

はレイヤ 1 仕様である HSSI と一致するため、データの有効性については不明です。

CA と TA は相互に非同期です。CA をアサートすると、信号 ST、RT、および RD は少なくとも 40 ns 間は有効とみなされません。TA をアサートすると、信号 TT および SD は少なくとも 40 ns 間は有効とみなされません。これは、受信側に十分な設定時間を与えることを目的としています。

SD 上の最後の有効なデータ ビットが送信された後、少なくとも 1 クロック パルスまでは TA をデアサートしてはいけません。データは DCE に透過的であるため、これは CA には適用されません。

物理仕様

DCE と DTE を接続するケーブルは、オーバーオール フォイル/ブレード シールドを備えた 25 本のツイストペアで構成されます。ケーブル コネクタは両方ともオス型コネクタです。DTE と DCE にはメス型コンセントがあります。寸法はメートル (m) とフィート (ft) で示されます。

HSSI ケーブルで SCSI-2 仕様と同じコネクタが使用されていても、HSSI ケーブルと SCSI-2 ケーブルのケーブル インピーダンスが違うことに注意してください。SCSI-2 ケーブルは 70 Ω まで小さくできるのに対して、HSSI ケーブルは 110 Ω に規定されています。そのため、SCSI-2 仕様で製造されたケーブルは HSSI では正常に機能しない可能性があります。非互換性はケーブルの長さが長いほど顕著になります。

ケーブルの詳細については、次の HSSI ケーブル電気仕様表、HSSI ケーブル物理仕様表、および HSSI コネクタ ピン割り当て表を参照してください。

HSSI CABLE ELECTRICAL SPECIFICATION			
length:	nominal: maximum:	2 m 15 m	6 ft 50 ft
maximum DCR at 20 C:		23 ohms/km	70ohms/1000ft
differential impedance at 50 MHz: (95% or more pairs) nominal: maximum:		110 ohms 110 ohms	(+/- 11 ohms) (+/- 15 ohms)
signal attenuation at 50 MHz:		0.28 dB/m	0.085 dB/ft
propagation delay, maximum: (65% of c) delta:		5.18 ns/m 0.13 ns/m	1.58 ns/ft 0.04 ns/ft
mutual capacitance within pair, minimum: (95% or more pairs) nominal: maximum:		34 pF/m 41 pF/m 48 pF/m	10.5 pF/ft 12.5 pF/ft (+/- 10%) 15.0 pF/ft
capacitance, pair to shield, maximum: delta:		78 pF/m 2.6 pF/m	24 pF/ft 0.8 pF/ft

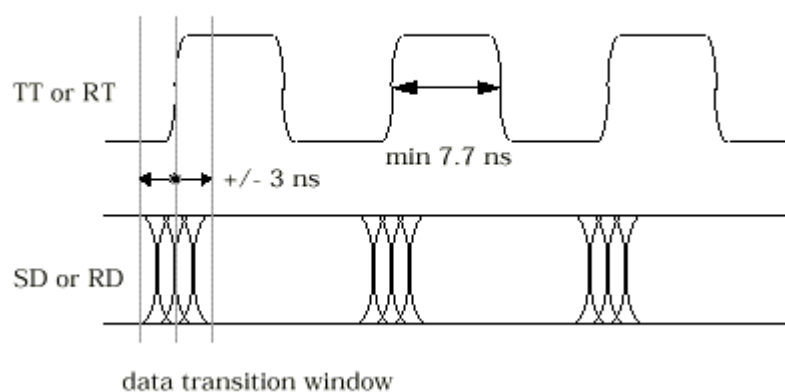
HSSI CABLE PHYSICAL SPECIFICATION	
cable type:	multi-conductor cable, consisting of 25 twisted pairs cabled together with an overall double shield and PVC jacket
gauge:	28 AWG, 7 strands of 36 AWG, tinned annealed copper, nominal 0.015 in. diameter
insulation:	polyethylene or polypropylene; 0.24 mm, .0095 in. nominal wall thickness; 0.86 mm +/- 0.025 mm, .034 in. +/- 0.001 in. outside diameter
foil shield:	0.051 mm, 0.002 in. nominal aluminum/polyester/aluminum laminated tape spiral wrapped around the cable core with a 25% minimum overlap
braid shield:	braided 36 AWG, tinned plated copper in accordance with 80% minimum coverage
jacket:	75 degrees C flexible polyvinylchloride
jacket wall:	0.51 mm, 0.020 in. minimum thickness
dielectric strength:	1000 VAC for 1 minute
outside diameter:	10.41 mm +/- 0.18 mm, 0.405 in. +/- 0.015 in.
agency compliance:	CL2, UL Subject 13, NEC 725-51(c) + 53(e)
manufacturer p/n:	QUINTEC (Madison Cable 4084) ICONTEC RTF-40-25P-2 (Berktek, C&M) or equivalent
connector, plug type:	2 row, 50 pin, shielded tab connectors AMP plug part number 749111-4 or equivalent AMP shell part number 749193-2 or equivalent
connector, receptacle type:	2 row, 50 pin, receptical header with rails and latch blocks. AMP part number 749075-5, 749903-5 or equivalent

HSSI CONNECTOR PINOUT				
Signal Name		Direction DTE - DCE	Pin # (+side)	Pin # (-side)
SG	Signal Ground	---	1	26
RT	Receive Timing	<--	2	27
CA	DCE Available	<--	3	28
RD	Receive Data	<--	4	29
LC	Loopback circuit C	<--	5	30
ST	Send Timing	<--	6	31
SG	Signal Ground	---	7	32
TA	DTE Available	-->	8	33
TT	Terminal Timing	-->	9	34
LA	Loopback circuit A	-->	10	35
SD	Send Data	-->	11	36
LB	Loopback circuit B	-->	12	37
SG	Signal Ground	---	13	38
	5 ancillary to DCE (reserved)	-->	14 - 18	39 - 43
SG	Signal Ground	---	19	44
	4 ancillary from DCE (reserved)	<--	20 - 23	45 - 48
TM	Test Mode	<--	24	49

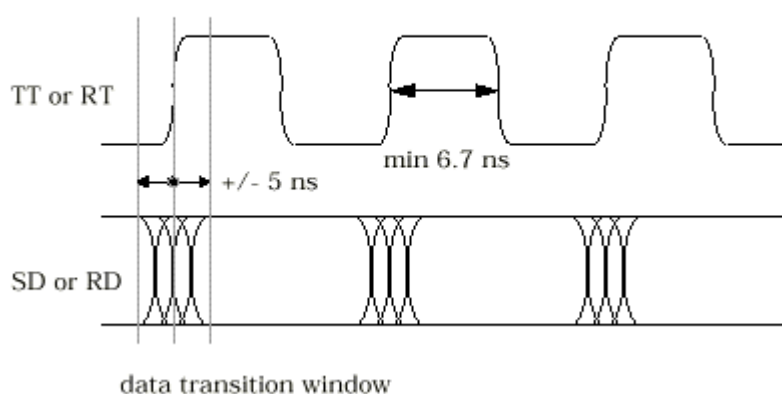
Pin pairs 5&30, 14&30 to 18&43, and 20&45 to 23&48 are reserved for future use. To allow future backward compatibility, no signals or receivers of any kind should be connected to these pins.

付録 A: タイミング図

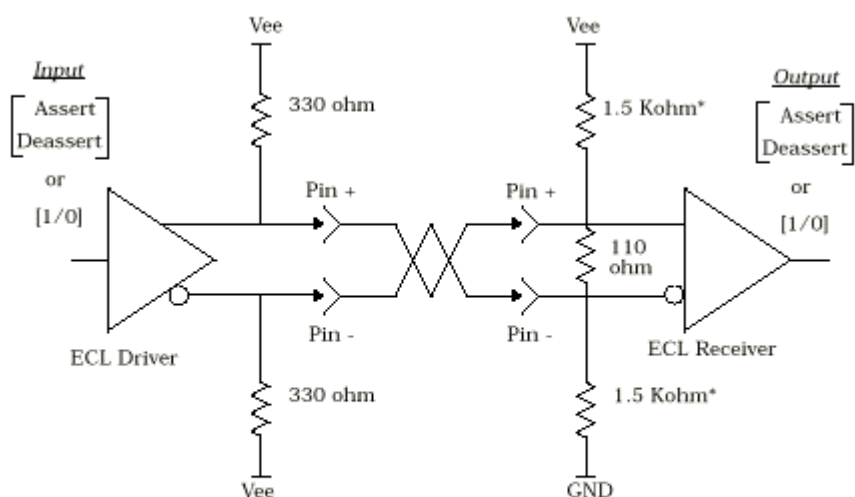
Source Timing



Destination Timing



付録 B : 差動回路規則



* optional

付録 C : ノイズ耐性

この付録では、このインターフェイスの耐ノイズ性を計算します。差動入力では内部 ECL バイアス Vbb を使用しないため、10KH ECL に対して通常指定される 150 mvolt の耐ノイズ性は適用されません。

10H115 および 10H116 差動回線レシーバの共通モード (NMcm) および差動モード (NMdiff) のノイズ マージンは、次のとおりです。

•
•

$$\text{NMcm+} = \text{Vcm_max} - \text{Voh_max}$$

$$= -0.50 \text{ Vdc} - (-0.81 \text{ Vdc})$$

$$= 310 \text{ mVdc}$$

$$\text{NMcm-} = \text{Vol_min} - \text{Vcm_min}$$

$$= -1.95 \text{ Vdc} - (-2.85 \text{ Vdc})$$

$$= 900 \text{ mVdc}$$

$$\text{NMdiff} = \text{Vod_min} * \text{length}$$

$$* \text{attenuation/length}$$

$$- \text{Vid_min}$$

$$= 590 \text{ mv}$$

$$/[10^{((50 \text{ ft} * .085 \text{ dB/ft})/20)}]$$

$$- 150 \text{ mv}$$

$$= 361 \text{ mv}$$

in dB:

$$= 20 \log [(361+150)/150]$$

$$= 10.6 \text{ dB}$$

•

電圧は 25 °C での値です。Vcm_max は、飽和点 Vih = -0.4 volt より下で 100 mv に選択されました。

10H125 差動レシーバには +5 Vdc の供給があり、入力でより大きい正の偏位に対応できます。10H125 のノイズ マージン パフォーマンスは、次のとおりです。

•
•

$$\text{NMcm+} = \text{Vcm_max} - \text{Voh_max}$$

$$= 1.19 \text{ Vdc} - (-0.81 \text{ Vdc})$$

= 2000 mVdc

•

NMcm- と NMdiff はすべての部品で同じです。すべてのレシーバを使用可能にするには、レシーバにおけるワーストケース共通モード ノイズを 310 mVdc に制限する必要があります。

コモンモード範囲 $V_{cm_max} \sim V_{cm_min}$ を、印加された差動電圧とは無関係に、レシーバの入力に印加できる絶対電圧の最大範囲として解釈します。信号電圧範囲 $V_{oh_max} \sim V_{ol_min}$ は、トランスミッタが生成する絶対電圧の最大範囲を表します。これら 2 つの範囲の差は、共通モードのノイズ マージン、NMcm+ および NMcm- を表します。NMcm+ は正の共通モードノイズの最大偏位、NMcm- は負の共通モード ノイズの最大偏位です。

5 本の 50 フィート ツイストペア グラウンドを使用する場合、共通モードのノイズ マージンを消費するために必要なグラウンド ループ電流の量は、次のとおりです。

•
•

```
I_ground = NMcm+  
  
          / (cable_resistance/5 pairs)  
  
          = (310 mVdc)  
  
          / (70 mohms/foot  
  
          x 50 feet / 10 wires)  
  
          = 0.9 amps dc
```

•

通常の稼働状況では、この量の電流が存在することはありません。

コモン モード ノイズは、差動ノイズ マージン V_{df_app} に対してほとんど影響がありません。ただし、 V_{df_app} は、トランスミッタの電源レールの片側によって発生したノイズの影響を受けます。ECL V_{cc} の電源除去比 (PSRR) は 0 dB ですが、ECL V_{ee} の PSRR は 38 dB のオーダーです。したがって、差動ノイズを最小化するためには、 V_{cc} をグラウンドに接続し、 V_{ee} を負の電源に接続します。